

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151587

(P2002-151587A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 21/768
21/28

H 0 1 L 21/28

F 4 M 1 0 4

L 5 F 0 3 3

3 0 1 R 5 F 0 8 3

3 0 1

21/90

A

27/108

C

審査請求 有 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号

特願2000-347078 (P2000-347078)

(22) 出願日

平成12年11月14日 (2000.11.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大内 雅彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

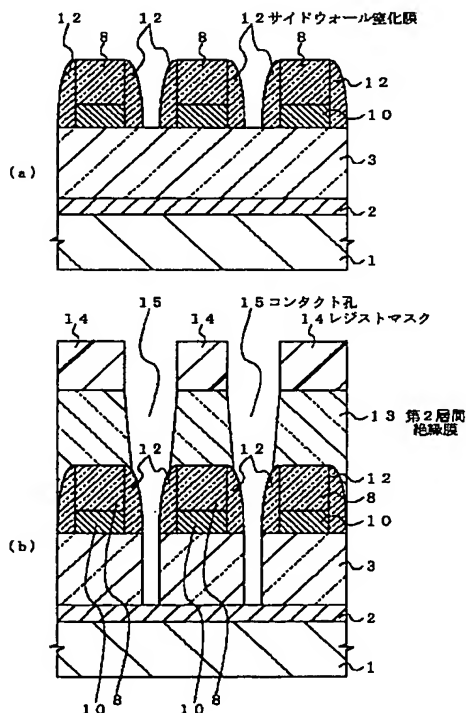
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 多層配線を有する半導体装置において、コンタクト孔を簡便に配線層に対してセルフアラインに形成できるようにする。

【解決手段】 シリコン基板1の表面に形成した拡散層2上に第1層間絶縁膜3を第1の誘電体（例えばシリコン酸化膜）で形成し、第1層間絶縁膜3上に互いに並行する第1の配線10を配設し第1の配線10の上面と側面に前記第1の誘電体よりもエッチング速度の小さい第2の誘電体となる窒化膜マスク8、サイドウォール窒化膜12を形成し、これらの窒化膜マスク8、サイドウォール窒化膜12をエッチングマスクにしたドライエッチングで第1層間絶縁膜3を貫通し拡散層2に達するようにコンタクト孔15を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜を第1の誘電体で形成する工程と、前記第1の層間絶縁膜上に互いに並行する上層配線を配設し前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で構成される保護絶縁膜を前記上層配線の上面と側面に形成する工程と、前記保護絶縁膜をエッチングマスクの一部としたドライエッチングで前記第1の層間絶縁膜を貫通し前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜を第1の誘電体で形成する工程と、前記第1の層間絶縁膜上に互いに並行する上層配線を配設し前記上層配線の上面と側面に前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で構成される保護絶縁膜を前記上層配線の上面と側面に形成する工程と、前記第1の層間絶縁膜上であって前記保護絶縁膜を被覆するように第2の層間絶縁膜を前記第1の誘電体で形成する工程と、前記第2の層間絶縁膜上にコンタクト孔パターンを有するレジスト膜を形成し、前記レジスト膜をエッチングマスクとしたドライエッチングで前記第2の層間絶縁膜を貫通させ、続けて前記保護絶縁膜をエッチングマスクとし前記第1の層間絶縁膜をドライエッチングして前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第1の層間絶縁膜上に高融点金属膜、第1のシリコン窒化膜、シリコン酸化膜をこの順に積層して形成する工程と、前記積層するシリコン酸化膜と第1のシリコン窒化膜を配線パターンに加工し、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングで前記高融点金属膜を加工し上層配線を形成すると同時に前記配線パターンに加工したシリコン酸化膜を除去する工程と、前記配線パターンに加工した第1のシリコン窒化膜、前記上層配線の側面および前記第1の層間絶縁膜の露出面を被覆する第2のシリコン窒化膜を全面に堆積させる工程と、前記第2のシリコン窒化膜の全面の異方性ドライエッチング（以下、エッチバックという）で前記配線パターンに加工した第1のシリコン窒化膜および前記上層配線の

側面にサイドウォール窒化膜を形成する工程と、前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜をエッチングマスクの一部としたドライエッチングで前記第1の層間絶縁膜を貫通し前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第1の層間絶縁膜上に高融点金属膜、第1のシリコン窒化膜、シリコン酸化膜をこの順に積層して形成する工程と、前記積層するシリコン酸化膜と第1のシリコン窒化膜を配線パターンに加工し、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングで前記高融点金属膜を加工し上層配線を形成すると同時に前記配線パターンに加工したシリコン酸化膜を除去する工程と、前記配線パターンに加工した第1のシリコン窒化膜、前記上層配線の側面および前記第1の層間絶縁膜の露出面を被覆する第2のシリコン窒化膜を全面に堆積させる工程と、前記第2のシリコン窒化膜のエッチバックで前記配線パターンに加工した第1のシリコン窒化膜および前記上層配線の側面にサイドウォール窒化膜を形成する工程と、前記第1の層間絶縁膜上であって前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜を被覆するように第2の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第2の層間絶縁膜上にコンタクト孔パターンを有するレジスト膜を形成し、前記レジスト膜をエッチングマスクとしたドライエッチングで前記第2の層間絶縁膜を貫通させ、続けて前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜をエッチングマスクとし前記第1の層間絶縁膜をドライエッチングして前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記高融点金属はタングステン（W）あるいはタングステンとタングステナイトライド（W/WN）の積層金属であり、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングでのエッチングガスはSF₆とN₂とCl₂の混合ガスにCF₄ガスあるいはC₄F₈ガスを添加したガスをプラズマ励起したものであることを特徴とする請求項3または請求項4記載の半導体装置の製造方法。

【請求項6】 前記高融点金属のドライエッチング工程あるいはコンタクト孔形成のドライエッチング工程後に

形成される付着物をフッ酸含有の化学薬液で除去することを特徴とする請求項3、請求項4または請求項5記載の半導体装置の製造方法。

【請求項7】 前記第2のシリコン窒化膜の堆積は、 NH_3 、 SiH_4 の混合ガスを反応ガスとした熱CVD法で行うことを特徴とする請求項3から請求項6のうち1つの請求項に記載の半導体装置の製造方法。

【請求項8】 1個の絶縁ゲート電界効果トランジスタと1個のキャパシタとで構成されるメモリセルと第1の誘電体で形成される層間絶縁膜とを有する半導体装置の製造方法であって、

半導体基板の表面にメモリセルのワード線と拡散層とを形成した後、前記ワード線の上面と側面に前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で保護絶縁膜を形成する工程と、

前記ワード線上と拡散層上に前記層間絶縁膜を第1の誘電体で形成する工程と、前記層間絶縁膜上にビット線を配設し前記ビット線の上面と側面に前記第2の誘電体で保護絶縁膜を形成する工程と、

前記ビット線周囲の前記保護絶縁膜と前記ワード線周囲の保護絶縁膜をエッチングマスクにしたドライエッチングで前記層間絶縁膜を貫通し前記拡散層に達するコンタクト孔を形成する工程と、

前記コンタクト孔を通して前記拡散層に接続する前記キャパシタの下部電極を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に半導体装置の配線間を貫通するコンタクト孔の製造方法に関する。

【0002】

【従来の技術】半導体素子の微細化及び高密度化は依然として精力的に進められ、現在では0.15 μm 程度の寸法基準で設計されたロジックデバイスあるいは1ギガビット・ダイナミック・ランダム・アクセス・メモリー（GbDRAM）のメモリデバイス等の超高集積の半導体デバイスが開発試作されている。そして、メモリデバイスでは上記の設計基準に基づく縮小版の256MbDRAMの製品が実用化されようとしている。しかし、このような半導体デバイスの微細化に伴って、半導体素子構造に必須となっているコンタクト孔部の形成方法が非常に困難になってきている。

【0003】通常、半導体デバイスの製造では、半導体基板上に金属膜、半導体膜、絶縁体膜等の各種材料で形成されたパターンが順次積層され、微細構造の半導体素子が形成される。この半導体素子用のパターンを積層する場合には、フォトリソグラフィ工程において、前工程で形成した下層のパターンにマスク合わせ（位置合わせ）し、次の上層パターンを形成することが要求され

る。微細なコンタクト孔の形成においても同様のことがある。例えば、シリコン基板の表面に拡散層が形成され、その上層に多層配線が形成されている構造では、第2層目の配線と拡散層とを電気接続するために、所定のピッチで配設された第1層目の配線間を通り拡散層の所定の領域に達するコンタクト孔を形成することが生じる。以下、このような場合について図7に基づいて説明する。

【0004】図7は半導体デバイスの従来の技術のコンタクト孔の概略を説明するためのその製造工程順の断面図である。図7(a)に示すように、シリコン基板101上の所定の領域に選択的にトレンチ素子分離領域102を形成する。ここで、トレンチ素子分離領域102は公知のSTI（Shallow Trench Isolation）法で形成される。

【0005】次に、拡散層103を不純物のイオン注入と熱処理とで形成する。そして、第1層間絶縁膜104を形成する。ここで、この第1層間絶縁膜104は、化学気相成長（CVD）法によるシリコン酸化膜の堆積とその後の化学的機械研磨（CMP）法によるシリコン酸化膜の平坦化とで作製される。

【0006】次に、高融点金属材料で第1の配線105を所定の間隔で形成する。そして、この第1の配線105と第1層間絶縁膜104を被覆するように第2層間絶縁膜106を形成する。この第2層間絶縁膜106も第1層間絶縁膜24と同様にシリコン酸化膜である。

【0007】このようにした後、公知のフォトリソグラフィ工程を通してレジストマスク107を形成する。そして、レジストマスク107をエッチングマスクにした上記第2層間絶縁膜106、第1層間絶縁膜104の反応性イオンエッチング（RIE）で拡散層103の所定の領域にコンタクト孔108を形成する。ここで、このコンタクト孔108は並行する第1の配線105間に形成されるため、これらの配線の離間距離が小さくなると前述のコンタクト孔の寸法はそれに合わせて縮小するようになる。

【0008】例えば、用途専用のLSIであるApplication Specific IC（ASIC）のような半導体装置の周辺回路部でも、MOSTランジスタ等の能動素子上層に位置する配線を高密度に配設することが特に重要になる。このために、半導体デバイスの設計寸法の基準が0.15 μm 程度になると、タングステン等の高融点金属で構成される第1の配線のピッチは0.5 μm 程度と微細加工の限界になるように設計される。この場合、第1の配線105の線幅寸法は0.15 μm でありそれらの配線間の離間距離は0.35 μm である。そして、前述したコンタクト孔108の寸法は0.15 μm 程度になる。ここで、フォトリソグラフィ工程での上述したマスク合わせのためのマージンは0.1 μm 程度必要になる。

【0009】次に、図7(b)に示すように、コンタクト孔108を形成した前述の拡散層103の所定の領域にバリアメタル層109を形成する。ここで、このバリアメタル層109はチタンシリサイド層と窒化チタン層の積層膜で形成する。そして、チタンシリサイド層は拡散層103表面にのみ形成される。そして、窒化チタン層は、コンタクト孔108の内壁および第2層間絶縁膜106上を被着する。

【0010】次に、コンタクト孔108部に形成されるバリアメタル層109上にコンタクトプラグ110を埋設する。ここで、このコンタクトプラグ110を構成する金属は通常タングステンである。このタングステンはCVD法で堆積された後、CMP法でコンタクト孔110内に埋設して形成される。

【0011】次に、第2の配線111を前述のバリアメタル層109およびコンタクトプラグ110に被着するようにして形成する。

【0012】以上のようにして、第1の配線105と第2の配線111を有し、拡散層103と第2の配線111とを接続するためのコンタクト孔108の寸法が前述の第1の配線105間の離間距離で制約される半導体デバイスの一部が形成されるようになる。

【0013】また、図示しないが、DRAMのようなメモリデバイスにおいては、メモリセルを構成するキャパシタの下部電極が、並行するワード線あるいは並行するビット線間に設けたコンタクト孔を通して拡散層に接続する構造になる。ここで、ワード線あるいは並行するビット線は、図7に示した第1の配線105に相当し、下部電極は第2の配線111に相当することになる。

【0014】

【発明が解決しようとする課題】上述したように、半導体デバイスのコンタクト孔を開口するためには、フォトリソグラフィ工程が必要である。そして、上記のフォトリソグラフィ工程では、前工程で形成した下層のパターンすなわち第1の配線パターンに対してマスク合わせすることが必須である。そこで、従来のコンタクト孔形成では、半導体素子の配置においてマスク合わせのためのマージン領域が必要となる。このマスク合わせに必要となる上記マージン領域は、半導体素子の配置密度の向上にとって大きな阻害要因となり、半導体装置の高集積化あるいは高密度化に対して大きなネックとなっている。

【0015】半導体装置の高集積化あるいは高密度化に対する上記マージンの影響は、半導体装置の寸法基準が小さくなる程より大きくなる。特にDRAMのようなメモリデバイスではコンタクト孔の数が非常に多くなるために、上記マージンの影響が顕在化してきている。

【0016】本発明の目的は、上述した問題点を解決し、多層配線を有する半導体装置において、コンタクト孔を上記配線に対して自己整合(セルフアライン)型に形成できる方法を提供することにある。また、本発明の

他の目的は、上記セルフアラインのコンタクト孔の形成を簡便にし、更に信頼性の高いものにして半導体装置の量産に適用できるようにすることにある。

【0017】

【課題を解決するための手段】このために本発明の半導体装置の製造方法は、半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜を第1の誘電体で形成する工程と、前記第1の層間絶縁膜上に互いに並行する上層配線を配設し前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で構成される保護絶縁膜を前記上層配線の上面と側面に形成する工程と、前記保護絶縁膜をエッチングマスクの一部としたドライエッチングで前記第1の層間絶縁膜を貫通し前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程とを含む。

【0018】あるいは、本発明の半導体装置の製造方法は、半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜を第1の誘電体で形成する工程と、前記第1の層間絶縁膜上に互いに並行する上層配線を配設し前記上層配線の上面と側面に前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で構成される保護絶縁膜を前記上層配線の上面と側面に形成する工程と、前記第1の層間絶縁膜上であって前記保護絶縁膜を被覆するように第2の層間絶縁膜を前記第1の誘電体で形成する工程と、前記第2の層間絶縁膜上にコンタクト孔パターンを有するレジスト膜を形成し、前記レジスト膜をエッチングマスクとしたドライエッチングで前記第2の層間絶縁膜を貫通させ、続けて前記保護絶縁膜をエッチングマスクとし前記第1の層間絶縁膜をドライエッチングして前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程とを含む。

【0019】本発明では、従来の技術で必要なフォトリソグラフィ工程によるマスク合わせ用のマージン領域は不要になり、半導体装置の高集積化あるいは高密度化が非常に容易となる。

【0020】あるいは、本発明の半導体装置の製造方法は、半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第1の層間絶縁膜上に高融点金属膜、第1のシリコン窒化膜、シリコン酸化膜をこの順に積層して形成する工程と、前記積層するシリコン酸化膜と第1のシリコン窒化膜を配線パターンに加工し、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングで前記高融点金属膜を加工し上層配線を形成すると同時に前記配線パターンに加工したシリコン酸化膜を除去する工程と、前記配線パターンに加工した第1のシリコン窒化膜、前記上層配線の側面および前記第1の層間絶縁膜の露出面を被覆する第2のシリコン

窒化膜を全面に堆積させる工程と、前記第2のシリコン窒化膜の全面の異方性ドライエッチング（以下、エッチバックという）で前記配線パターンに加工した第1のシリコン窒化膜および前記上層配線の側面にサイドウォール窒化膜を形成する工程と、前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜をエッチングマスクの一部としたドライエッチングで前記第1の層間絶縁膜を貫通し前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程とを含む。

【0021】あるいは、本発明の半導体装置の製造方法は、半導体基板の表面に形成した拡散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第1の層間絶縁膜上に高融点金属膜、第1のシリコン窒化膜、シリコン酸化膜をこの順に積層して形成する工程と、前記積層するシリコン酸化膜と第1のシリコン窒化膜を配線パターンに加工し、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングで前記高融点金属膜を加工し上層配線を形成すると同時に前記配線パターンに加工したシリコン酸化膜を除去する工程と、前記配線パターンに加工した第1のシリコン窒化膜、前記上層配線の側面および前記第1の層間絶縁膜の露出面を被覆する第2のシリコン窒化膜を全面に堆積させる工程と、前記第2のシリコン窒化膜のエッチバックで前記配線パターンに加工した第1のシリコン窒化膜および前記上層配線の側面にサイドウォール窒化膜を形成する工程と、前記第1の層間絶縁膜上であって前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜を被覆するように第2の層間絶縁膜をシリコン酸化膜で形成する工程と、前記第2の層間絶縁膜上にコンタクト孔パターンを有するレジスト膜を形成し、前記レジスト膜をエッチングマスクとしたドライエッチングで前記第2の層間絶縁膜を貫通させ、続けて前記配線パターンに加工した第1のシリコン窒化膜および前記サイドウォール窒化膜をエッチングマスクとし前記第1の層間絶縁膜をドライエッチングして前記拡散層あるいは下層配線に達するコンタクト孔を形成する工程とを含む。

【0022】上記本発明では、上層配線の周囲にエッチング保護膜となる第2の誘電体の保護絶縁膜を簡便にしかも高い制御性の下に形成できる。このために、本発明のコンタクト孔の形成方法は、半導体装置の量産技術として容易に適用できるようになる。

【0023】ここで、前記高融点金属はタングステン（W）あるいはタングステンとタングステナイトライド（W/WN）の積層金属であり、前記配線パターンに加工したシリコン酸化膜と第1のシリコン窒化膜をエッチングマスクとしたドライエッチングでのエッチングガスは SF_6 と N_2 と Cl_2 の混合ガスに CF_4 ガスあるいは C_4F_8 ガスを添加したガスをプラズマ励起したも

のである。

【0024】このようなドライエッチングでは、上記シリコン酸化膜とタングステン（W）あるいはW/WNの積層金属のエッチング速度はほとんど同じとなり、配線加工後には上記シリコン酸化膜は除去される。また、上記のエッチング条件では、上記第1のシリコン窒化膜のエッチングはほとんど進行しない。このために、上層配線上の上記エッチング保護膜は高い制御の下に十分な膜厚になる。

【0025】あるいは、本発明の半導体装置の製造方法では、前記高融点金属のドライエッチング工程あるいはコンタクト孔形成のドライエッチング工程後に形成される付着物をフッ酸含有の化学薬液で除去する。

【0026】このフッ酸含有の化学薬液による処理では、従来の技術において生じていた上層配線の一部消失等は皆無になる。このようにして、高い信頼性を有する多層配線が可能になる。

【0027】あるいは、本発明の半導体装置の製造方法では、前記第2のシリコン窒化膜の堆積は、 NH_3 、 SiH_4 の混合ガスを反応ガスとした熱CVD法で行う。

【0028】あるいは、本発明の半導体装置の製造方法は、1個の絶縁ゲート電界効果トランジスタと1個のキャパシタとで構成されるメモリセルと第1の誘電体で形成される層間絶縁膜とを有する半導体装置の製造方法であって、半導体基板の表面にメモリセルのワード線と拡散層とを形成した後、前記ワード線の上面と側面に前記第1の誘電体よりもエッチング速度の小さい第2の誘電体で保護絶縁膜を形成する工程と、前記ワード線と拡散層上に前記層間絶縁膜を第1の誘電体で形成する工程と、前記層間絶縁膜上にビット線を配設し前記ビット線の上面と側面に前記第2の誘電体で保護絶縁膜を形成する工程と、前記ビット線周囲の前記保護絶縁膜と前記ワード線周囲の保護絶縁膜をエッチングマスクにしたドライエッチングで前記層間絶縁膜を貫通し前記拡散層に達するコンタクト孔を形成する工程と、前記コンタクト孔を通して前記拡散層に接続する前記キャパシタの下部電極を形成する工程とを含む。

【0029】本発明では、メモリセルは従来の技術の場合よりも大幅に縮小する。この効果は、メモリセルの設計寸法の基準が小さくなるに従いより顕著になる。

【0030】上述したように、本発明では、半導体装置のコンタクト孔を並行して配設する配線に対してセルフアライに形成できる。このために、フォトリソグラフィ工程によるマスク合わせ用のマージン領域が不要になり、半導体装置の高集積化あるいは高密度化が非常に容易となる。また、コンタクト孔の形成方法が簡便であり、半導体装置の量産技術として容易に適用できる。

【0031】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1乃至図4に基づいて説明する。図1乃至図3は、

本発明のセルフアライン型のコンタクト孔の製造工程順の断面図である。そして、図4は、セルフアラインのコンタクト孔の製造工程後の断面図である。

【0032】図1に示すように、導電型がP型のシリコン基板1表面に導電型がN型の拡散層2を不純物のイオン注入と熱処理とで形成する。そして、膜厚が500nm程度の第1層間絶縁膜3を形成する。この第1層間絶縁膜3は、CVD法によるシリコン酸化膜の堆積とその後のCMP法によるシリコン酸化膜の平坦化とで作製される。ここで、第1の誘電体であるシリコン酸化膜の堆積は公知のプラズマCVD法で行う。

【0033】次に、平坦化した第1層間絶縁膜3上に金属膜4を形成する。この金属膜4は、CVD法あるいはスパッタ法で堆積する膜厚が50nm程度のタングステン(W膜あるいはWと窒化タングステン(WN)の積層膜で構成される。

【0034】次に、金属膜4上に保護窒化膜5を熱CVD法で形成する。ここで、保護窒化膜5は膜厚が200nmの第2の誘電体であるシリコン窒化膜である。そして、熱CVD法での成膜温度は750℃～800℃であり、成膜の反応ガスはシラン(SiH_4)とアンモニア(NH_3)の混合ガスである。次に、保護窒化膜5を被覆するように保護酸化膜6を形成する。ここで、保護酸化膜6は、膜厚が50nmのプラズマCVD法で堆積するシリコン酸化膜である。

【0035】続いて、公知のフォトリソグラフィ技術を用いて、保護酸化膜6上に配線パターンのレジストマスク7を形成する。そして、レジストマスク7をエッチングマスクにして保護酸化膜6と保護窒化膜5とをRIEで加工する。ここで、RIEのエッチングガスは、 CF_4 ガスとヘリウムガスの混合ガスをプラズマ励起したものである。ここで、 CF_4 ガスの代わりに CH_2F_2 、 CHF_3 、 C_4F_8 、 CH_3F のようなフロロカーボン・ガスを用いてもよい。

【0036】このようにして、図1(b)に示すように、金属膜4上に配線パターンの窒化膜マスク8と酸化膜マスク9とを積層して形成する。ここで、窒化膜マスク8と酸化膜マスク9のパターン幅およびパターン間隔は共に0.2μmである。

【0037】次に、レジストマスク7を除去した後、積層する酸化膜マスク9および窒化膜マスク8をエッチングマスクにし、ICP(Inductive Coupled Plasma)あるいはμ波励起(ECR)によるプラズマエッチング装置で金属膜4をドライエッチングする。このドライエッチングにおいては、反応ガスとして SF_6 と N_2 と Cl_2 の混合ガスに CF_4 ガスあるいは C_4F_8 ガスを添加したものをを用いる。上述した反応ガスであると、シリコン酸化膜のエッチング速度/タングステンのエッチング速度の値は1～2程度になる。すなわち、酸化膜マスク9と金属膜4のエッチング

の選択比は1～2になる。また、シリコン窒化膜のエッチング速度/タングステンのエッチング速度の値は1/5程度になる。すなわち、窒化膜マスク8と金属膜4のエッチングの選択比は0.2以下になる。ここで重要なことは、金属膜4のドライエッチング後において酸化膜マスク9が残らないようにすることである。更には、窒化膜マスク8のエッチングを進行しないようにすることである。この理由については後述する。このようにして、図2(a)に示すように、第1層間絶縁膜3上に線幅および線間隔が0.2μmの第1の配線10と窒化膜マスク8を形成する。

【0038】次に、公知の酸素プラズマ処理(アッシング)を施し、その後、希フッ酸溶液中での処理を施す。ここで、希フッ酸溶液(以下、DHFという)は、濃度が49%のフッ酸薬液と純水とを体積比1/100の割合で混合希釈したものである。このDHFに10秒の間浸漬して、金属膜4のドライエッチングでの付着物を除去する。ここで、DHFとしては、フッ化アンモニウム溶液を混合して作製してもよい。

【0039】次に、図2(b)に示すように、熱CVD法によるシリコン窒化膜の成膜で、全面に70nm程度の膜厚のブランケット窒化膜11を形成する。このブランケット窒化膜11は第2の誘電体である。

【0040】この熱CVD法では、成膜温度は750℃～800℃であり、成膜の反応ガスは SiH_4 と NH_3 の混合ガスである。そして、このCVDでは、反応ガスである NH_3 ガスの流量を SiH_4 ガスの流量に対して多くするとよい。すなわち、 NH_3 ガスの流量/ SiH_4 ガスの流量比が100程度と大きくするようにする。このようにすると、ブランケット窒化膜11は、パターン状の第1の配線10と窒化膜マスク8、および第1層間絶縁膜3に対してコンフォーマル(Conformal)に付着するようになる。ここで、上記熱CVDの条件、例えば反応ガスの全圧力が 4×10^4 Pa程度と常圧の1/4～1/2に大きくなると、窒化膜の段差被覆性(ステップカバレッジ)が向上する。そして、配線間の第1層間絶縁膜3表面上および第1の配線10と窒化膜マスク8の上面と側面のブランケット窒化膜11の膜厚はほぼ同じ値になる。

【0041】次に、異方性のドライエッチングによる全面エッチングすなわちエッチバックを施し、上記ブランケット窒化膜11を全面エッチングする。このようにして、図3(a)に示すように、第1の配線10と窒化膜マスク8の側壁に膜厚が50nm程度のサイドウォール窒化膜12を形成する。ここで、反応ガスとしては、 NF_3 と N_2 の混合ガスをプラズマ励起して用いる。このようなエッチングガスであると、シリコン酸化膜のエッチング速度/シリコン窒化膜のエッチング速度比が小さくなり、このエッチバック工程で第1層間絶縁膜3表面のエッチングはほとんど起こらなくなる。このサイドウ

オール窒化膜12は窒化膜マスク8と共に第1の配線10の保護絶縁膜となる。

【0042】次に、公知の酸素プラズマでの処理を施した後、上述したDHFの処理を施す。このDHFに10秒の間浸漬して、上記エッチバック工程で窒化膜マスク8表面、サイドウォール窒化膜12表面、第1層間絶縁膜3表面に付着する有機ポリマーのような付着物を除去する。

【0043】次に、膜厚が500nm程度の第2層間絶縁膜13を形成する。この第2層間絶縁膜13は、CVD法によるシリコン酸化膜の堆積とその後のCMP法によるシリコン酸化膜の平坦化とで作製される。そして、コンタクト孔のパターンを有するレジストマスク14を公知のフォトリソグラフィ技術で形成し、レジストマスク14をエッチングマスクにして、第2層間絶縁膜13および第1層間絶縁膜3を順次ドライエッチングする。このようにして、図3(b)に示しているように、互いに隣接する第1の配線10間を貫通し拡散層2表面に達するコンタクト孔15を形成する。ここで、サイドウォール窒化膜12および窒化膜マスク8は上記第1の配線をエッチング保護する。

【0044】このコンタクト孔15を形成するドライエッチングは2周波のRFを用いるRIEで行う。ここで、13.56MHz〜60MHzのRFでプラズマ励起する。そして、1MHz前後のRFを付加する。このような2周波のRIEにおいて、反応ガスとしては、 C_4F_8 と O_2 とアルゴン(Ar)の混合ガスをプラズマ励起して用いる。このようなエッチングガスであると、シリコン酸化膜のエッチング速度/シリコン窒化膜のエッチング速度比が大きくなり、このRIE工程でサイドウォール窒化膜12あるいは窒化膜マスク8のエッチングはほとんど起こらなくなる。そして、上記サイドウォール窒化膜12は、コンタクト孔15の形成の上記RIE工程において、第1層間絶縁膜3のエッチングマスクとしても機能する。

【0045】次に、レジストマスク14を酸素プラズマによりアッシングで除去した後、上述したDHFの処理を施す。この処理では、DHFに10秒の間浸漬し上記コンタクト孔15の形成で生じたフッ素含有の有機ポリマーあるいは重金属汚染物を除去する。

【0046】以降の工程では、図示しないが、従来の技術で説明したのと同様に、コンタクト孔15にコンタクトプラグを充填し、更にコンタクトプラグに接続するように第2の配線を形成することになる。

【0047】図2(a)で説明したように、金属膜4のドライエッチング後において酸化膜マスク9が残らないようにし、更には、窒化膜マスク8のエッチングが進行しないようにすると、図3(a)で説明したサイドウォール窒化膜12が、第1の配線10上の窒化膜マスク8と一体になるようにエッチング保護膜として形成でき

る。

【0048】本発明では、第1の配線10の周囲に形成した窒化膜マスク8およびサイドウォール窒化膜12を、コンタクト孔を形成するためのRIEでのエッチングマスクにする。このために、第1層間絶縁膜3には第1の配線10にたいしてセルフアラインにコンタクト孔が形成できるようになる。

【0049】このようにして、従来のコンタクト孔形成で必要であったフォトリソグラフィ工程での目合わせマージンが不要になり、半導体素子の面密度を向上させることができる。そして、半導体装置の集積度が大幅に向上するようになる。

【0050】また、本発明では、上述したようなRIE工程後にDHFでの処理を行うことを特徴とする。この効果について図4を参照して説明する。図4は、図3で説明した工程後にコンタクト孔15にコンタクトプラグ16を充填した後の断面図である。ここで、図4(a)は本発明のDHFを用いる除去方法の場合であり、図4(b)は従来の除去方法を用いた場合である。ここで、従来の除去方法では、RIE後の処理は、アンモニア水溶液と過酸化水素水と純水の混合溶液(以下、APMという)中で行われる。あるいは、硫酸と過酸化水素水と純水の混合溶液(以下、SPMという)中、塩酸と過酸化水素水と純水の混合溶液(以下、HPMという)中で行われる。

【0051】図3(b)で説明したように、窒化膜マスク8とサイドウォール窒化膜12とで被覆した第1の配線10に対しセルフアラインにコンタクト孔15を形成し、その後にDHFの処理を行うと、図4(a)に示すように、タングステン等で構成された第1の配線10には後述するような消失は全く生じない。本発明では、このDHFの処理の後にコンタクトプラグ16をコンタクト孔15に充填することになる。

【0052】これに対して、窒化膜マスク8とサイドウォール窒化膜12とで被覆した第1の配線10に対しセルフアラインにコンタクト孔15を形成し、その後に上述したAPM、SPMあるいはHPMでの処理を行うと、図4(b)で示すように、第1の配線10の一部に消失部17が無制御に現れるようになる。このタングステン等の高融点金属で構成される配線の消失の原因は未だ明確ではない。

【0053】次に、本発明の第2の実施の形態を図5と図6に基づいて説明する。この実施の形態は、本発明をDRAMのようなメモリセルの形成に適用する場合である。ここで、図5は上記メモリセルの一部の平面図であり、図6は、図5に記すX-Yで切断したところの断面図である。

【0054】図6に示すように、シリコン基板21上の所定の領域に選択的にトレンチ素子分離領域22を形成する。そして、シリコン基板21表面にゲート絶縁膜2

3を形成し、ゲート絶縁膜23上にWN（窒化タングステン）層24とW（タングステン）層25を積層して形成する。この積層するWN層24とW層25がワード線26となる。このワード線26は、図5に示すようにメモリセル内を並行して配設される。

【0055】また、このワード線26上には、第1の実施の形態で説明したように、窒化膜マスク27が形成される。同様に、ワード線26と上記窒化膜マスク27の側壁には、サイドウォール窒化膜28が形成される。この窒化膜マスク27とサイドウォール窒化膜28がワード線26の保護絶縁膜となる。

【0056】次に、図6に示すように、容量用拡散層29とビット線用拡散層30を不純物イオン注入と熱処理とで形成する。そして、膜厚が400nm程度の下層層間絶縁膜31を形成する。この下層層間絶縁膜31は、CVD法によるシリコン酸化膜の堆積とその後のCMP法によるシリコン酸化膜の平坦化とで作製される。

【0057】次に、第1の実施の形態で説明したような方法で、隣接するワード線26に対してセルフアラインに第1の容量用コンタクト孔32を形成し、第1の容量用コンタクト孔32にコンタクトプラグ33を充填する。同様に、隣接するワード線26に対してセルフアラインにビット線用コンタクト孔34を形成し、ビット線用コンタクト孔34にコンタクトプラグ35を充填する。このコンタクトプラグ33、35はリン不純物を含有する多結晶シリコンで構成される。

【0058】次に、図6に示しているように、第1の実施の形態と同様に第1層間絶縁膜36を形成し、第1の配線37をタングステンで形成する。そして、第1の配線37上に窒化膜マスク38を形成する。このようにして、図5に示しているように、第1の配線37がビット線としてメモリセル内に並行して配設される。また、この第1の配線37の側壁には、第1の実施の形態で説明したようにサイドウォール窒化膜39を形成する。この窒化膜マスク38とサイドウォール窒化膜39がビット線である第1の配線37の保護絶縁膜となる。そして、図6に示しているように、全面に第2層間絶縁膜40を形成する。ここで、第1層間絶縁膜36、第2層間絶縁膜40は、CVD法によるシリコン酸化膜の堆積とその後のCMP法によるシリコン酸化膜の平坦化とで作製される。

【0059】次に、図5および図6で示すように、ビット線である第1の配線37に対してセルフアラインに第2の容量用コンタクト孔41を形成する。そして、この第2の容量用コンタクト孔41にコンタクトプラグ42を充填する。このコンタクトプラグ42もリン不純物を含有する多結晶シリコンで構成される。ここで、コンタクトプラグ42は第1の容量用コンタクト孔32に充填されたコンタクトプラグ33と接続する。

【0060】次に、図5と図6に示しているように、コ

ンタクトプラグ42に接続するように、メモリセルを構成するキャパシタの下部電極43を形成する。ここで、下部電極43はリン不純物を含有する多結晶シリコンで構成される。このようにして、図示しないが、下部電極43表面に容量絶縁膜を形成し、更にキャパシタの対向電極を形成して、メモリセルのキャパシタを形成する。

【0061】この第2の実施の形態では、上述したように隣接するワード線に対してセルフアラインに、更に隣接するビット線に対してセルフアラインに、コンタクト孔が形成される。本発明では、第1の容量用コンタクト孔32と第2の容量用コンタクト孔41とを1回のドライエッチングで形成してもよい。この場合には、ビット線周囲の保護絶縁膜とワード線周囲の保護絶縁膜とがそのままエッチングマスクとして機能する。

【0062】本発明では、従来のコンタクト孔形成で必要となる2回のフォトリソグラフィ工程での目合わせマージンが不要になる。このために、DRAMのようなメモリセルの占有面積を大幅に縮小できるようになる。このようにして、DRAMのような半導体装置の集積度が大幅に向上する。例えば、0.15 μ mの設計基準で量産する256MビットDRAMでは、そのメモリセルの面積は従来の技術の場合の30%程度縮小するようになる。

【0063】上述した本発明の実施の形態では、配線をWあるいはWNとの積層金属で形成する場合について説明しているが、本発明はこれに限定されるものではない。その他、モリブデン（Mo）、タンタル（Ta）、チタン（Ti）のような高融点金属あるいは白金（Pt）、ルテニウム（Ru）のような貴金属で形成する場合でも同様に適用できる。

【0064】また、上記の実施の形態では、第1の誘電体をシリコン酸化膜とし、第2の誘電体をシリコン窒化膜とする場合について説明しているが、その他、第1の誘電体としてSi-Oベースの低誘電率膜を用いてもよい。そのような絶縁膜としては、シルセスキオキサン類であるハイドロゲンシルセスキオキサン（Hydrogen Silsesquioxane）、メチルシルセスキオキサン（Methyl Silsesquioxane）、メチレーテッドハイドロゲンシルセスキオキサン（Methylated Hydrogen Silsesquioxane）あるいはフルオリネーテッドシルセスキオキサン（Fluorinated Silsesquioxane）のような低誘電率膜がある。

【0065】また、上述した第2の誘電体を、シリコン窒化膜以外のシリコンオキシナイトライド（SiON）膜、アルミナ膜としてもよい。

【0066】なお、本発明は、上記の実施の形態に限定されず、本発明の技術思想の範囲内において、実施の形態が適宜変更され得る。

【0067】

【発明の効果】以上に説明したように本発明の半導体装置の製造方法の要部は、半導体基板の表面に形成した拡

散層あるいは半導体基板上に形成した下層配線に被着する第1の層間絶縁膜を第1の誘電体で形成する工程と、第1の層間絶縁膜上に互いに並行する上層配線を配設し、第1の誘電体よりもエッチング速度の小さい第2の誘電体で保護絶縁膜を上記上層配線の上面と側面に形成する工程と、上記保護絶縁膜をエッチングマスクの一部としたドライエッチングで、上記第1の層間絶縁膜を貫通し拡散層あるいは下層配線に達するコンタクト孔を形成する工程と、を含む。

【0068】このために、本発明では、並行する上層配線間にコンタクト孔を形成する場合に、従来の技術に示したようなマスク合わせズレを想定したマージン領域が全く不要になり、多層配線構造での配線ピッチが向上する。そして、半導体装置の高集積化あるいは高密度化が非常に容易となる。また、コンタクト孔の形成方法が簡便であり、半導体装置の製造において高歩留まりが確保でき、半導体装置の量産技術として容易に適用できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのコンタクト孔の形成工程順の断面図である。

【図2】上記工程の続きのコンタクト孔の形成工程順の断面図である。

【図3】上記工程の続きのコンタクト孔の形成工程順の断面図である。

【図4】本発明のコンタクト孔形成での効果を説明するためのコンタクト孔部の断面図である。

【図5】本発明の第2の実施の形態を説明するためのメモリセル部の平面図である。

【図6】本発明の第2の実施の形態を説明するためのメモリセル部の断面図である。

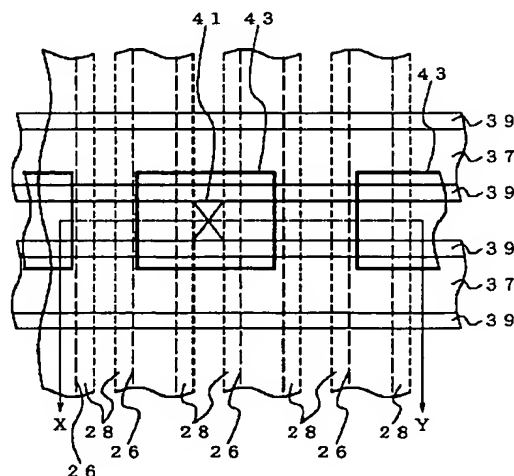
【図7】従来の技術を説明するためのコンタクト孔の形

成工程順の断面図である。

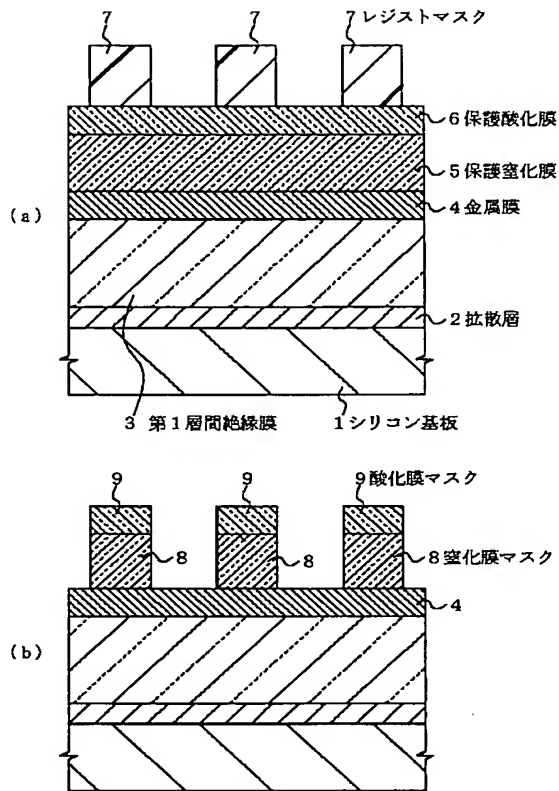
【符号の説明】

- 1, 21, 101 シリコン基板
- 2, 103 拡散層
- 3, 36, 104 第1層間絶縁膜
- 4 金属膜
- 5 保護窒化膜
- 6 保護酸化膜
- 7, 14, 107 レジストマスク
- 8, 27, 38 窒化膜マスク
- 9 酸化膜マスク
- 10, 37, 105 第1の配線
- 11 ブランケット窒化膜
- 12, 28, 39 サイドウォール窒化膜
- 13, 40, 106 第2層間絶縁膜
- 15, 108 コンタクト孔
- 16, 33, 35, 42, 110 コンタクトプラグ
- 17 消失部
- 22, 102 トレンチ素子分離領域
- 23 ゲート絶縁膜
- 24 WN層
- 25 W層
- 26 ワード線
- 29 容量用拡散層
- 30 ビット線用拡散層
- 31 下層層間絶縁膜
- 32 第1の容量用コンタクト孔
- 34 ビット線用コンタクト孔
- 41 第2の容量用コンタクト孔
- 43 下部電極
- 109 バリアメタル層
- 111 第2の配線

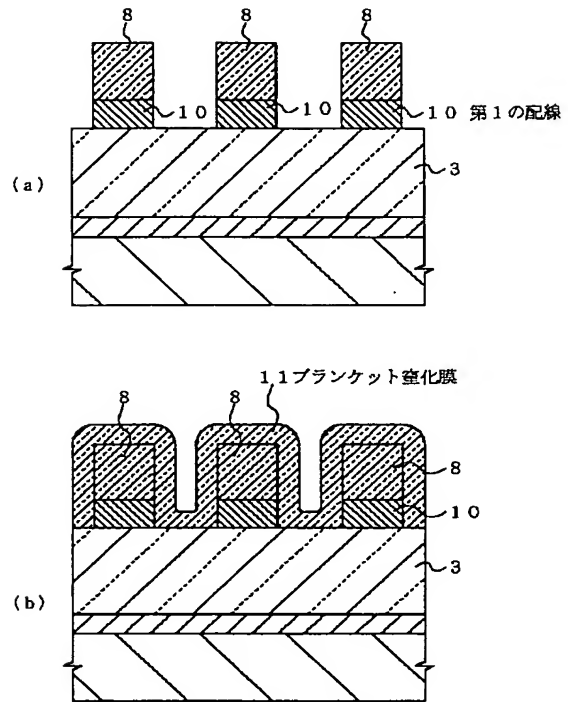
【図5】



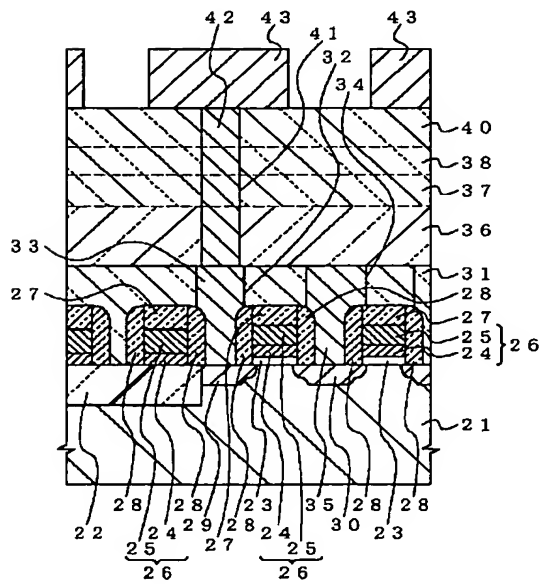
【図1】



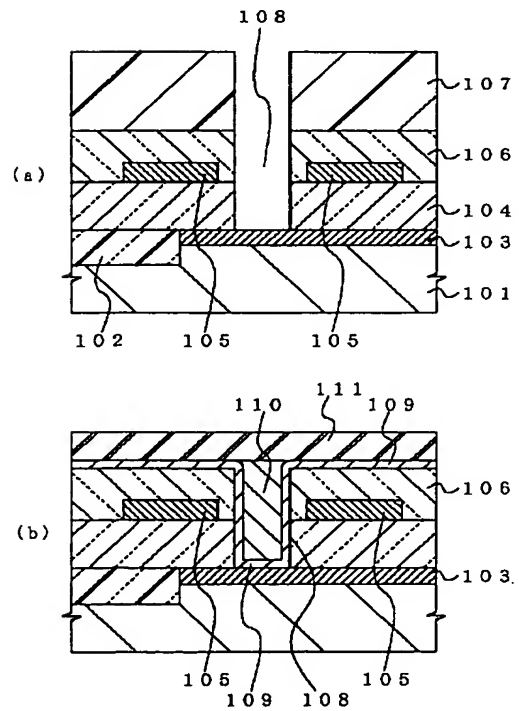
【図2】



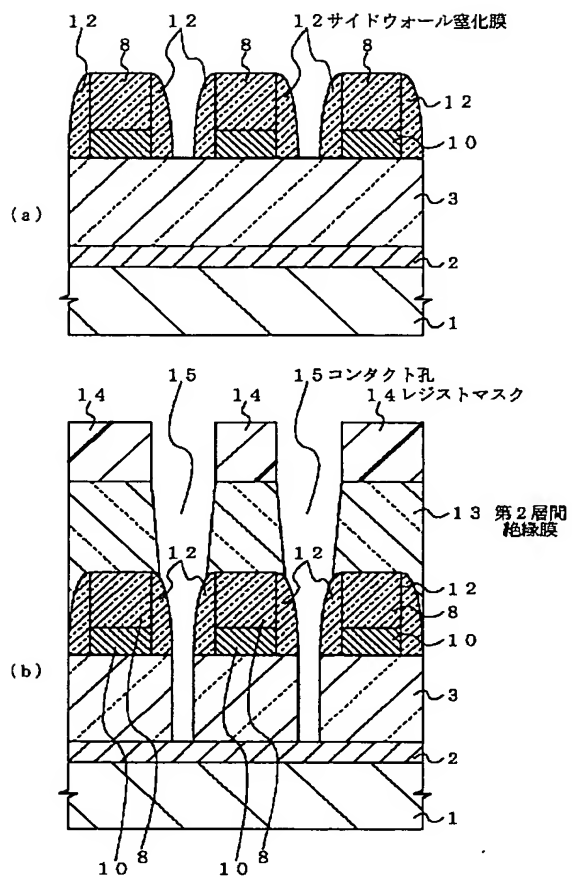
【図6】



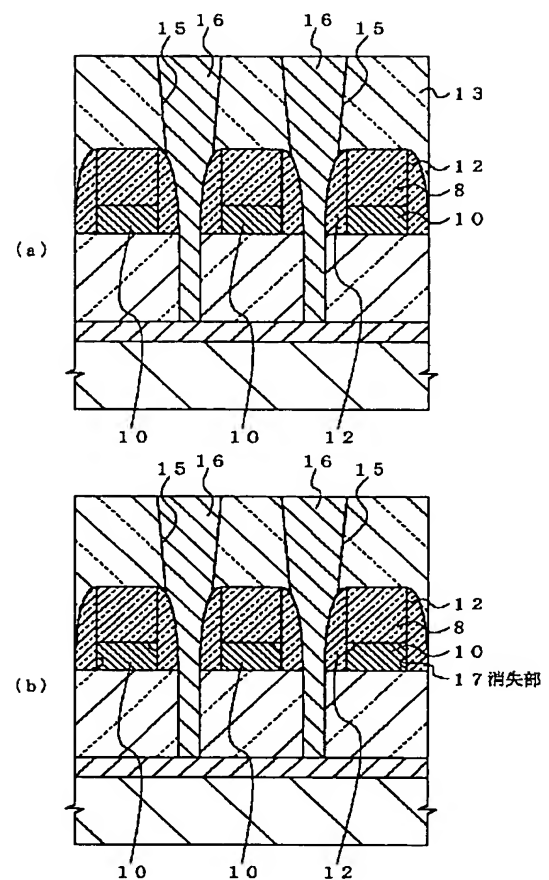
【図7】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁷
H01L 21/8242

識別記号

F I
H01L 27/10

テマコード (参考)
621Z

Fターム(参考) 4M104 AA01 BB01 BB04 BB06 BB14
BB16 BB17 BB18 BB33 CC01
CC05 DD02 DD04 DD08 DD16
DD17 DD22 DD37 DD43 DD55
DD65 DD71 DD72 EE05 EE08
EE09 EE14 EE16 EE17 EE18
FF13 FF18 FF22 GG09 GG10
GG14 GG16 HH20
5F033 HH07 HH18 HH19 HH20 HH21
HH34 JJ04 KK00 KK01 LL04
MM05 NN01 NN40 PP06 PP15
QQ08 QQ09 QQ11 QQ13 QQ25
QQ28 QQ31 QQ35 QQ37 QQ48
QQ58 QQ65 QQ73 QQ91 QQ96
RR01 RR03 RR04 RR06 RR08
RR21 SS11 SS15 TT02 TT04
TT08 VV16 XX15 XX24
5F083 AD21 JA38 JA39 JA40 MA06
MA17 NA01 PR03 PR05 PR21
PR29 PR40